

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-104707

(43)Date of publication of application : 15.04.1994

(51)Int.Cl.

H03K 5/13

(21)Application number : 04-279365

(71)Applicant : CANON INC

(22)Date of filing : 24.09.1992

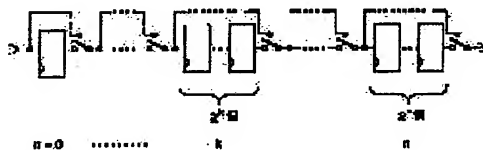
(72)Inventor : KAWAHARA NORIHIRO

(54) DELAY DEVICE

(57)Abstract:

PURPOSE: To set and change the delay time with the simple control and without causing the malfunctions of the peripheral circuits.

CONSTITUTION: The bypass lines of signals and the bypass open/close parts which open and close the bypass lines are provided for each block consisting of groups of n -th power of 2 ($n=0, 1, 2, 3...n$) delay elements, that is, 0-th power of 2 (1 piece), first power of 2 (2 pieces), second power of 2 (4 pieces) In such a constitution, the numbers of both bypass lines and bypass open/close parts can be decreased.



(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-104707

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.⁵

H 0 3 K 5/13

識別記号

庁内整理番号

4239-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-279365

(22)出願日 平成4年(1992)9月24日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 川原 範弘

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

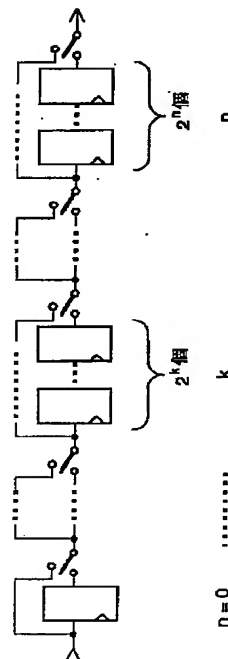
(74)代理人 弁理士 渡部 敏彦

(54)【発明の名称】 遅延装置

(57)【要約】

【目的】 簡単な制御で、かつ周辺回路の誤動作を招くことなく遅延時間を設定変更できるようにする。

【構成】 信号をバイパスさせるためのバイパスラインと、該バイパスラインを開閉するバイパス開閉部とを、各遅延素子と1対1に設けることなく、 2^n ($n=0, 1, 2, 3, \dots, n$) 乗個の各遅延素子群、すなわち、 2^0 乗=1個、 2^1 乗=2個、 2^2 乗=4個、…の各遅延素子群を1ブロックとする各ブロック単位で設けることにより、バイパスラインとバイパス開閉部の数を低減するよう構成した。



【特許請求の範囲】

【請求項1】 複数の遅延素子を直列に接続し、各遅延素子の遅延時間を合計した総遅延時間の範囲内で遅延時間を変更し得る遅延装置において、

2の n ($n=0, 1, 2, 3, \dots, n$) 乗個の各遅延素子群を1ブロックとする各ブロック単位で、信号をバイパスさせるためのバイパスラインと、該バイパスラインを開閉するバイパス開閉部とを設けたことを特徴とする遅延装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各種の信号処理回路において、信号の遅延時間を変更可能な遅延装置に関する。

【0002】

【従来の技術】 従来の遅延時間可変型の遅延装置では、複数の遅延素子を直列に接続し、各遅延素子毎に、信号をバイパスさせるためのバイパスラインと、このバイパスラインを開閉するための切換スイッチとを設けていた。

【0003】 図4は、このような遅延時間可変型の遅延装置の例を示した図である。

【0004】 この遅延装置は、7つの遅延素子D1～D7を直列に接続し、各遅延素子D1～D7毎に、バイパスラインL11～L17と、切換スイッチSW11～SW17とが配設されている。この遅延装置は同期式の遅延装置であり、遅延素子D1～D7は、それぞれクロックCLKに同期して信号Sの入出力を行い、0クロック分～7クロック分の時間の範囲内で遅延時間を変化させるものである。

【0005】 すなわち、1クロック分遅延させるときは、例えば、バイパスラインL11のみを開成（不通）にして他のバイパスラインL12～L17は開成（開通）するように、各切換スイッチSW11～SW17を制御することにより、信号Sが遅延素子D1のみを通り、他の遅延素子D2～D7は通らないようにする。また、2クロック分遅延させるときは、例えば、バイパスラインL11、L12を開成（不通）にして他のバイパスラインL13～L17は開成（開通）するように、各切換スイッチSW11～SW17を制御することにより、信号Sが遅延素子D1、D2を通り、他の遅延素子D3～D7は通らないようにする。また、7クロック分遅延させるときは、全てのバイパスラインL11～L17を開成（不通）にして信号Sが全ての遅延素子D1～D7を通るようにし、遅延時間を「0」にすると、すなわち遅延をかけないときは、全てのバイパスラインL11～L17を開成（開通）して信号Sが全ての遅延素子D1～D7を通らないようにする。すなわち、遅延させたいクロック時間分に対応する数の遅延素子を信号が通過するようにする。

【0006】

【発明が解決しようとする課題】 しかし、従来の遅延装置では、全ての遅延素子に対してバイパスラインと切換スイッチとが配設されているため、バイパスライン、切換スイッチの数が多くなり、バイパスラインの開閉制御が複雑になっていた。

【0007】 また、遅延をかけない場合、信号は多数存在する全てのバイパスライン、切換スイッチを通過しなければならず、この通過時間が1クロック時間をオーバーしたときには、周辺回路の誤動作を招いていた。

【0008】 本発明は、このような事情の下になされたもので、その目的は、簡単な制御で、かつ周辺回路の誤動作を招くことなく遅延時間を設定変更できるようにすることである。

【0009】

【課題を解決するための手段】 上記目的を達成するため、本発明は、複数の遅延素子を直列に接続し、各遅延素子の遅延時間を合計した総遅延時間の範囲内で遅延時間を変更し得る遅延装置において、2の n ($n=0, 1, 2, 3, \dots, n$) 乗個の各遅延素子群を1ブロックとする各ブロック単位で、信号をバイパスさせるためのバイパスラインと、該バイパスラインを開閉するバイパス開閉部とが設けられている。

【0010】

【作用】 本発明による遅延装置では、信号をバイパスさせるためのバイパスラインと、該バイパスラインを開閉するバイパス開閉部とは、各遅延素子と1対1に設けることなく、2の n ($n=0, 1, 2, 3, \dots, n$) 乗個の各遅延素子群、すなわち、2の0乗＝1個、2の1乗＝2個、2の2乗＝4個、…の各遅延素子群を1ブロックとする各ブロック単位で設けている。

【0011】 この場合、例えば、1個の遅延素子当たりの遅延時間が1 μ secであるとする、1 μ sec遅延させるときは、各ブロックのバイパス開閉部は、1個の遅延素子のブロックに対応するバイパスラインを閉じ、他のブロックに対応するバイパスラインを開いて、信号が1個の遅延素子のみを通るようにする。また、3 μ sec遅延させるときは、各ブロックのバイパス開閉部は、1個の遅延素子のブロックと2個の遅延素子のブロックに対応する各バイパスラインを閉じ、他のブロックに対応するバイパスラインを開いて、信号が3個の遅延素子を通るようにする。

【0012】 このようにして、各遅延素子の遅延時間を合計した総遅延時間の範囲内で遅延時間を設定変更する。この際、上記のように、バイパスラインと、バイパス開閉部とは、各遅延素子と1対1に設けることなく、2の n ($n=0, 1, 2, 3, \dots, n$) 乗個の各遅延素子群を1ブロックとする各ブロック単位で設けることにより、バイパスラインとバイパス開閉部の数を低減している、遅延時間を設定変更するときの制御が簡単に

なる。また、同期式の遅延装置において、遅延をかけない場合に、信号の通過時間が1クロック時間をオーバーすることがなくなり、周辺回路の誤動作を防止できる。

【0013】

【実施例】次に、本発明の実施例を図面に基づいて説明する。

【0014】図1は本発明の一実施例による遅延装置の概要を示すブロック図であり、図4における従来の遅延装置と同様に、7つの遅延素子D1～D7が直列に接続されている。しかし、バイパスラインと切換スイッチとは、各遅延素子D1～D7と1対1に設けられていない点で従来の遅延装置と異なっている。

【0015】すなわち、遅延素子D1に対してバイパスラインL1と切換スイッチSW1とが配設され、遅延素子D2、D3に対してバイパスラインL2と切換スイッチSW2とが配設され、遅延素子D4～D7に対してバイパスラインL3と切換スイッチSW3とが配設されている。すなわち、バイパスラインと切換スイッチとは、従来は7個ずつ設けられていたが本実施例では3個ずつ設けられ、個数が減らされている。

【0016】上記のバイパスラインL1～L3と切換スイッチSW1～SW3の配設の仕方は、次のような規則に基づいている。すなわち、2のn（ $n=0, 1, 2, 3, \dots, n$ ）乗個の遅延素子群を1ブロックとする各ブロック単位で、信号をバイパスさせるためのバイパスラインと、該バイパスラインを開閉制御するための切換スイッチを配設している。すなわち、図2に示したように、2の0乗個の遅延素子のブロック、2の1乗個の遅延素子のブロック、2の2乗個の遅延素子のブロック、…、2のk乗個の遅延素子のブロック、…、2のn乗個の遅延素子のブロックに対して、各ブロック単位でバイパスラインと切換スイッチを配設するようにしている。

【0017】各遅延素子D1～D7は、それぞれクロックCLKに同期して信号Sの入出力を行うものであり、具体的には、Dフリップフロップ、マスタスレーブ形JKフリップフロップ等により構成されている。また、切換スイッチSW1～SW3は、バイパスラインL1～L3を開通させるための接点Oと、不通にするための接点Cとを有している。

【0018】遅延時間設定回路1（図示せず）は、切換スイッチSW1～SW3を、接点O側、或いは接点C側に任意に切換え制御することにより、任意数のクロックCLKの時間分の遅延時間を設定するものである。なお、図1では遅延時間設定回路1を独立した回路として説明したが、一般の信号処理回路では、遅延時間設定回路1の制御機能は、CPU等が担当している場合が多い。

【0019】遅延時間設定回路1は、切換スイッチSW1～SW3を接点O側に切換えて信号Sをバイパスさせるとき、すなわち信号Sが遅延素子のブロックを通過し

ないようにするときは、バイパス開通信号「0」を切換スイッチSW1～SW3に与え、切換スイッチSW1～SW3を接点C側に切換えて信号Sをバイパスさせないとき、すなわち信号Sが遅延素子のブロックを通過するようにするときは、バイパス閉鎖信号「1」を切換スイッチSW1～SW3に与える。この場合、バイパス閉鎖信号「1」を、切換スイッチSW1にのみ与えたときの遅延時間は2の0乗＝1クロック分となり、切換スイッチSW2にのみ与えたときの遅延時間は2の1乗＝2クロック分となり、切換スイッチSW3にのみ与えたときの遅延時間は2の2乗＝4クロック分となる。

【0020】次に、遅延時間設定回路1による遅延時間設定動作を具体的に説明する。

【0021】遅延時間設定回路1は、図3のテーブルに基づいて遅延時間を設定する。すなわち、図3のテーブルは、遅延時間（何クロック分の遅延時間となるか）と、切換スイッチSW1～SW3に与えるバイパス開通信号「0」、バイパス閉鎖信号「1」との関係を示したものである。なお、図3のSW1、SW2、SW3の下に（）で示した数字は、上記の切換スイッチSW1、SW2、SW3に単独でバイパス閉鎖信号「1」を与えたときの遅延時間が、それぞれ何クロック分になるかを示したものである。

【0022】図3に示したように、遅延時間設定回路1は、例えば、信号Sを遅延させないとき、すなわち遅延時間「0」を設定するときは、全ての切換スイッチSW1～SW3に対してバイパス開通信号「0」を与えて、信号Sがどの遅延素子D1～D7をも通らないようにする。

【0023】また、例えば、1クロック分の遅延時間を設定するときは、切換スイッチSW1に対してバイパス閉鎖信号「1」を与え、切換スイッチSW2、SW3に対してバイパス開通信号「0」を与えることにより、信号Sが遅延素子D1のみを通るようにする。

【0024】また、例えば、6クロック分の遅延時間を設定するときは、切換スイッチSW1に対してバイパス開通信号「0」を与え、切換スイッチSW2、SW3に対してバイパス閉鎖信号「1」を与えることにより、信号Sが、遅延素子D2、D3のグループと遅延素子D4～D7のグループとを通り、合計6個の遅延素子を通るようにする。

【0025】このようにして、遅延時間設定回路1は、任意のクロック数分の遅延時間を設定する。この場合、バイパスラインと切換スイッチの数は、従来の7個から3個に減少しているため、遅延時間設定回路1による制御が簡単になると共に、遅延をかけない場合に、信号Sが本遅延装置を通過する時間が1クロック時間をオーバーすることがなくなり、周辺回路の誤動作を回避できる。なお、遅延素子の数が増えるほど、すなわち、設定し得る遅延時間が長くなるほど、従来の遅延装置に対

10

20

30

40

50

するバイパスラインと切換スイッチの数の減少率は大きくなり、上記の効果が顕著になる。

【0026】なお、本発明は、上記の実施例に限定されることなく、例えば、非同期式の遅延装置に適用することも可能である。この場合、遅延時間の異なる遅延素子を組み合わせた複数のグループを形成することにより、設定可能な各遅延時間の離散の度合いを低減し、きめ細かく遅延時間を設定することも可能である。

【0027】また、本実施例では、遅延素子の各グループに対して、信号入力側に切換スイッチを設けたが、信号出力側に切換スイッチを設けても良い。

【0028】

【発明の効果】以上詳細に説明したように、本発明の遅延装置によれば、2の n ($n=0, 1, 2, 3, \dots, n$) 乗個の遅延素子群を1ブロックとする各ブロック単位で、信号をバイパスさせるためのバイパスラインと、該バイパスラインを開閉する切換スイッチとを設けるとい構成をとることにより、バイパスラインと切換スイッチの個数を低減させているので、バイパスラインの開閉制御が簡単になると共に、遅延をかけない場合に、信

号が本遅延装置を通過する時間が1クロック時間をオーバーせず、周辺回路の誤動作を回避することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例による遅延装置の概略構成を示すブロック図である。

【図2】図1の遅延素子のグループ化の規則性を一般化して示した図である。

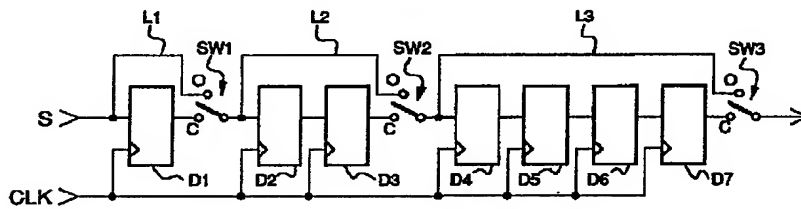
【図3】各切換スイッチの切換信号の状態と遅延時間との関係を示す図である。

【図4】従来の遅延装置の概略構成を示すブロック図である。

【符号の説明】

1… 遅延時間設定回路
D1～D7… 遅延素子
L1～L7… バイパスライン
SW1～SW7… 切換スイッチ
S… 信号
CLK… クロック

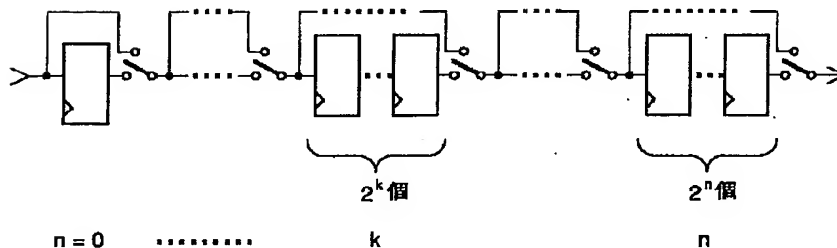
【図1】



【図3】

SW3 (4)	SW2 (2)	SW1 (1)	遅延時間
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

【図2】



【図4】

